Плата приёмопередатчика RFSoC до 6 ГГц с 8 каналами RX и 8 каналами TX

Плата на XCZU47DR оснащена восемью 14-разрядными каналами ADC до 5 GSPS и восемью 14-разрядными каналами DAC до 9,85 GSPS. Для RF предусмотрены разъёмы SMP, для подключения к системе — два интерфейса QSFP28.



Преобразование RF

Параметр	Спецификация
Каналы приёма	8
Каналы передачи	8
Разрядность ADC	14 bit
Разрядность DAC	14 bit
Максимальная частота дискретизации ADC	5 GSPS
Максимальная частота дискретизации DAC	9.85 GSPS
Максимальная частота RF для RX и TX	6000 MHz
Входы RF	8 × SMP
Выходы RF	8 × SMP
Цифровое понижающее преобразование	1 DDC / ADC
Коэффициенты интерполяции DAC	2×, 3×, 4×, 5×, 6×, 8×, 10×, 12×, 16×, 20×, 24×, 40×

Обработка и память

Параметр	Спецификация
Микросхема RFSoC	XCZU47DR-2FFVE1156I
Логические ячейки	930k
Блоки DSP	4272
Распределённая RAM	13 Mbit
UltraRAM	22.5 Mbit
DDR4 подсистемы PS	4 GB · 64 bit · 3200 MT/s
Шина данных DDR4 подсистемы PL	32 bit
Память eMMC	64 GB
Конфигурационная флеш-память QSPI	2 × 2 Gbit
EEPROM	16 Kbit

Системные интерфейсы

Интерфейс	Спецификация
Оптические интерфейсы	2 × QSFP28 · 8 GTY
Ethernet	1 × RJ45 GbE
Хост USB	1 × USB 2.0 Type-C
Съёмная память и SSD	1 × microSD / TF · 1 × M.2 M-key PCIe
Основное управление и ввод-вывод	J30 (J30JZLN31ZKWA000) · 4 × RS-422 · 4 × TTL IN · 4 × TTL OUT
Резерв расширения	J32 / CON34 · PZ200-2-17-W
Интерфейс CAN	CON4
Отладка FPGA	JTAG · 14
OCuLink	OCuLink
Входные и выходные уровни TTL	3.3 / 5.0 V

Тактовые входы и опорный сигнал

Параметр	Спецификация
Распределитель тактовых сигналов	LMK04828
Частота опорного такта	100 MHz
Уровень опорного такта	+10 dBm
Частота внешнего такта дискретизации	3200–5000 MHz
Уровень внешнего такта дискретизации	0 dBm
Системный генератор на плате	50 MHz
Разъём внешнего такта	SMP

Питание и механические параметры

Параметр	Спецификация
Напряжение питания	+12 VDC
Номинальный ток питания	≤6 A
Максимальные пульсации питания	≤50 mV
Разъём питания	J30J-9
Размеры платы	143 × 120 mm
Масса платы	190 g

Назначение контактов

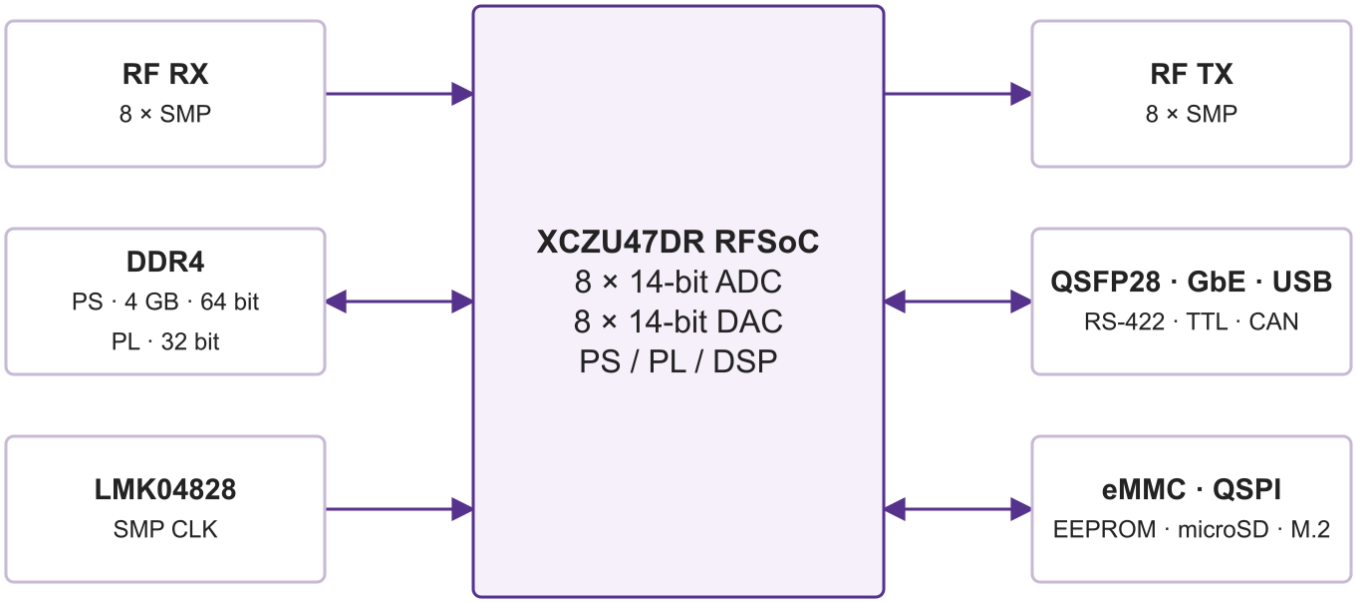
Параметр	Спецификация
ADC_224_VIN_0	J18
ADC_224_VIN_1	J14
ADC_225_VIN_0	J10
ADC_225_VIN_1	J7
ADC_226_VIN_0	J16
ADC_226_VIN_1	J12
ADC_227_VIN_0	J9
ADC_227_VIN_1	J5
DAC_228_VOUT_0	J19
DAC_228_VOUT_1	J15
DAC_229_VOUT_0	J11
DAC_229_VOUT_1	J6
DAC_230_VOUT_0	J17
DAC_230_VOUT_1	J13
DAC_231_VOUT_0	J8
DAC_231_VOUT_1	J4
SMP_DAC_CLK_230	J25 IN
SMP_ADC_CLK_225	J26 IN
CLK0_IN	J22 IN
CLK1_IN	J24 IN
OSCOUT / CLK2_IN	J23 I/O
J30 RS-422 0 TX+	2
J30 RS-422 0 TX−	3
J30 RS-422 0 RX+	4
J30 RS-422 0 RX−	5
J30 TTL_TX0	22
J30 TTL_RX0	27
J30 RS-422 1 TX+	7
J30 RS-422 1 TX−	8
J30 RS-422 1 RX+	9
J30 RS-422 1 RX−	10

Назначение контактов

Параметр	Спецификация
J30 TTL_TX1	23
J30 TTL_RX1	28
J30 RS-422 2 TX+	12
J30 RS-422 2 TX−	13
J30 RS-422 2 RX+	14
J30 RS-422 2 RX−	15
J30 TTL_TX2	24
J30 TTL_RX2	29
J30 RS-422 3 TX+	17
J30 RS-422 3 TX−	18
J30 RS-422 3 RX+	19
J30 RS-422 3 RX−	20
J30 TTL_TX3	25
J30 TTL_RX3	30
J30 GND	1, 6, 11, 16, 21, 26, 31
CON4 GND	1, 4
CAN_H	2
CAN_L	3
JTAG VCC	2
JTAG TMS	4
JTAG TCK	6
JTAG TDO	8
JTAG TDI	10
JTAG GND	1, 3, 5, 7, 9, 11, 13
JTAG NC	12, 14
J30J-9 +12 V	1, 2, 3, 4
J30J-9 GND	6, 7, 8, 9

Функциональная блок-схема

Тракты приёма и передачи, тактовые входы, память и системные интерфейсы XCZU47DR RFSoC



Примечание к документу

Технические характеристики могут пересматриваться. До фиксации проекта подтвердите в LCRF актуальную редакцию документа и требования к конкретному изделию. Поставляемая конфигурация определяется утвержденным предложением и документацией заказа.