Placa transceptora RFSoC de até 6 GHz com 8 canais RX e 8 TX

A placa com XCZU47DR oferece oito canais ADC de 14 bits de até 5 GSPS e oito canais DAC de 14 bits de até 9,85 GSPS. Usa conectores RF SMP e duas interfaces QSFP28 para integração ao sistema.



Conversão de RF

Parâmetro	Especificação
Canais de recepção	8
Canais de transmissão	8
Resolução do ADC	14 bit
Resolução do DAC	14 bit
Amostragem máxima do ADC	5 GSPS
Amostragem máxima do DAC	9.85 GSPS
Frequência RF máxima em RX e TX	6000 MHz
Entradas de RF	8 × SMP
Saídas de RF	8 × SMP
Conversão digital descendente	1 DDC / ADC
Fatores de interpolação do DAC	2×, 3×, 4×, 5×, 6×, 8×, 10×, 12×, 16×, 20×, 24×, 40×

Processamento e memória

Parâmetro	Especificação
Dispositivo RFSoC	XCZU47DR-2FFVE1156I
Células lógicas	930k
Blocos DSP	4272
RAM distribuída	13 Mbit
UltraRAM	22.5 Mbit
DDR4 do PS	4 GB · 64 bit · 3200 MT/s
Barramento de dados DDR4 do PL	32 bit
Armazenamento eMMC	64 GB
Flash de configuração QSPI	2 × 2 Gbit
EEPROM	16 Kbit

Interfaces do sistema

Interface	Especificação
Interfaces ópticas	2 × QSFP28 · 8 GTY
Ethernet	1 × RJ45 GbE
Host USB	1 × USB 2.0 Type-C
Armazenamento removível e SSD	1 × microSD / TF · 1 × M.2 M-key PCIe
Controle principal e E/S	J30 (J30JZLN31ZKWA000) · 4 × RS-422 · 4 × TTL IN · 4 × TTL OUT
Expansão reservada	J32 / CON34 · PZ200-2-17-W
Interface CAN	CON4
Depuração FPGA	JTAG · 14
OCuLink	OCuLink
Níveis de entrada e saída TTL	3.3 / 5.0 V

Entradas de clock e referência

Parâmetro	Especificação
Distribuição de clock	LMK04828
Frequência do clock de referência	100 MHz
Nível do clock de referência	+10 dBm
Frequência de clock de amostragem externo	3200–5000 MHz
Nível do clock de amostragem externo	0 dBm
Oscilador de sistema integrado	50 MHz
Conector de clock externo	SMP

Alimentação e mecânica

Parâmetro	Especificação
Tensão de alimentação	+12 VDC
Corrente nominal de alimentação	≤6 A
Ondulação máxima da alimentação	≤50 mV
Conector de alimentação	J30J-9
Dimensões da placa	143 × 120 mm
Massa da placa	190 g

Atribuição dos conectores

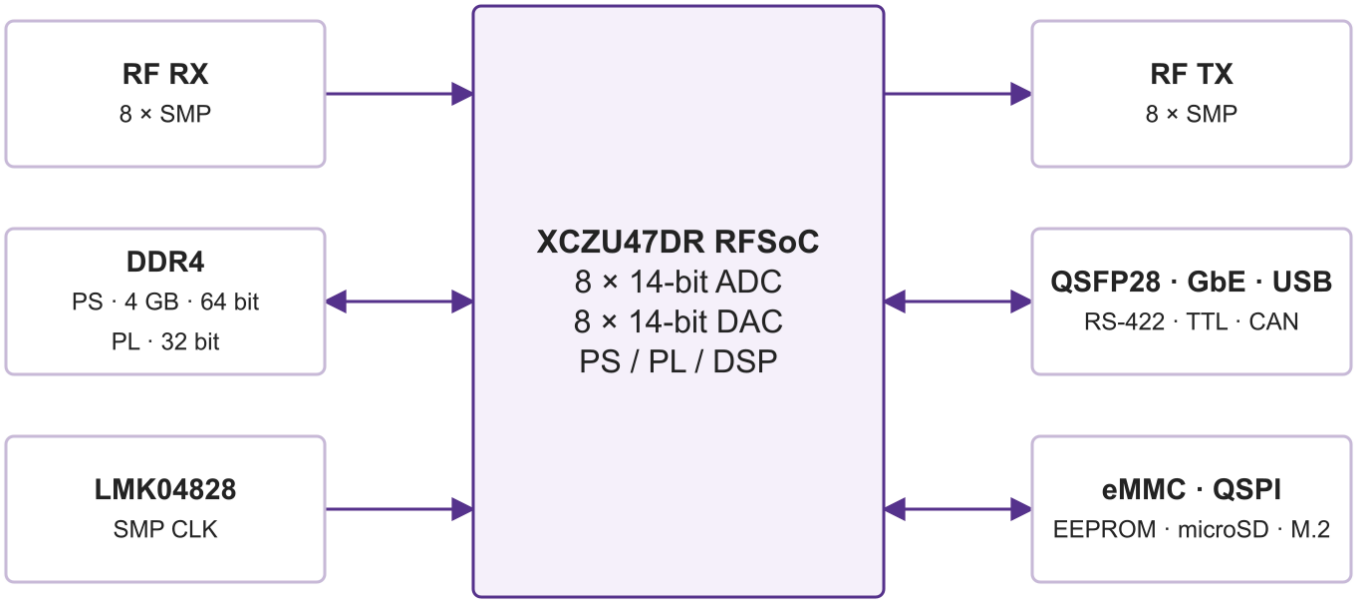
Parâmetro	Especificação
ADC_224_VIN_0	J18
ADC_224_VIN_1	J14
ADC_225_VIN_0	J10
ADC_225_VIN_1	J7
ADC_226_VIN_0	J16
ADC_226_VIN_1	J12
ADC_227_VIN_0	J9
ADC_227_VIN_1	J5
DAC_228_VOUT_0	J19
DAC_228_VOUT_1	J15
DAC_229_VOUT_0	J11
DAC_229_VOUT_1	J6
DAC_230_VOUT_0	J17
DAC_230_VOUT_1	J13
DAC_231_VOUT_0	J8
DAC_231_VOUT_1	J4
SMP_DAC_CLK_230	J25 IN
SMP_ADC_CLK_225	J26 IN
CLK0_IN	J22 IN
CLK1_IN	J24 IN
OSCOUT / CLK2_IN	J23 I/O
J30 RS-422 0 TX+	2
J30 RS-422 0 TX−	3
J30 RS-422 0 RX+	4
J30 RS-422 0 RX−	5
J30 TTL_TX0	22
J30 TTL_RX0	27
J30 RS-422 1 TX+	7
J30 RS-422 1 TX−	8
J30 RS-422 1 RX+	9
J30 RS-422 1 RX−	10

Atribuição dos conectores

Parâmetro	Especificação
J30 TTL_TX1	23
J30 TTL_RX1	28
J30 RS-422 2 TX+	12
J30 RS-422 2 TX−	13
J30 RS-422 2 RX+	14
J30 RS-422 2 RX−	15
J30 TTL_TX2	24
J30 TTL_RX2	29
J30 RS-422 3 TX+	17
J30 RS-422 3 TX−	18
J30 RS-422 3 RX+	19
J30 RS-422 3 RX−	20
J30 TTL_TX3	25
J30 TTL_RX3	30
J30 GND	1, 6, 11, 16, 21, 26, 31
CON4 GND	1, 4
CAN_H	2
CAN_L	3
JTAG VCC	2
JTAG TMS	4
JTAG TCK	6
JTAG TDO	8
JTAG TDI	10
JTAG GND	1, 3, 5, 7, 9, 11, 13
JTAG NC	12, 14
J30J-9 +12 V	1, 2, 3, 4
J30J-9 GND	6, 7, 8, 9

Diagrama funcional em blocos

XCZU47DR RFSoC com caminhos de recepção e transmissão, entradas de clock, memória e interfaces do sistema



Aviso do documento

As especificações podem ser revisadas. Antes de concluir o projeto, confirme com a LCRF a revisão vigente e os requisitos específicos do produto. A proposta aprovada e a documentação do pedido definem a configuração fornecida.