最大6 GHz対応 8受信・8送信チャネルRFSoC送受信ボード

XCZU47DRを搭載し、14ビットADCを8チャネル（最大5 GSPS）、14ビットDACを8チャネル（最大9.85 GSPS）備えます。RF接続にはSMPを使用し、システム接続用にQSFP28を2ポート備えます。



RF変換

項目	仕様
受信チャネル	8
送信チャネル	8
ADC分解能	14 bit
DAC分解能	14 bit
ADC最大サンプリングレート	5 GSPS
DAC最大サンプリングレート	9.85 GSPS
送受信最大RF周波数	6000 MHz
RF入力	8 × SMP
RF出力	8 × SMP
デジタルダウンコンバージョン	1 DDC / ADC
DAC補間倍率	2×, 3×, 4×, 5×, 6×, 8×, 10×, 12×, 16×, 20×, 24×, 40×

処理・メモリ

項目	仕様
RFSoCデバイス	XCZU47DR-2FFVE1156I
ロジックセル	930k
DSPスライス	4272
分散RAM	13 Mbit
UltraRAM	22.5 Mbit
PS側DDR4	4 GB · 64 bit · 3200 MT/s
PL側DDR4データバス	32 bit
eMMCストレージ	64 GB
QSPIコンフィグレーションフラッシュ	2 × 2 Gbit
EEPROM	16 Kbit

システムインターフェース

インターフェース	仕様
光インターフェース	2 × QSFP28 · 8 GTY
イーサネット	1 × RJ45 GbE
USBホスト	1 × USB 2.0 Type-C
着脱式ストレージ・SSD	1 × microSD / TF · 1 × M.2 M-key PCIe
主制御・入出力	J30 (J30JZLN31ZKWA000) · 4 × RS-422 · 4 × TTL IN · 4 × TTL OUT
予約済み拡張端子	J32 / CON34 · PZ200-2-17-W
CANインターフェース	CON4
FPGAデバッグ	JTAG · 14
OCuLink	OCuLink
TTL入出力レベル	3.3 / 5.0 V

クロック入力・基準

項目	仕様
クロック分配デバイス	LMK04828
基準クロック周波数	100 MHz
基準クロックレベル	+10 dBm
外部サンプリングクロック周波数	3200–5000 MHz
外部サンプリングクロックレベル	0 dBm
オンボードシステム発振器	50 MHz
外部クロックコネクタ	SMP

電源・機構

項目	仕様
電源電圧	+12 VDC
定格電源電流	≤6 A
最大電源リップル	≤50 mV
電源コネクタ	J30J-9
基板外形寸法	143 × 120 mm
基板質量	190 g

コネクタ割り当て

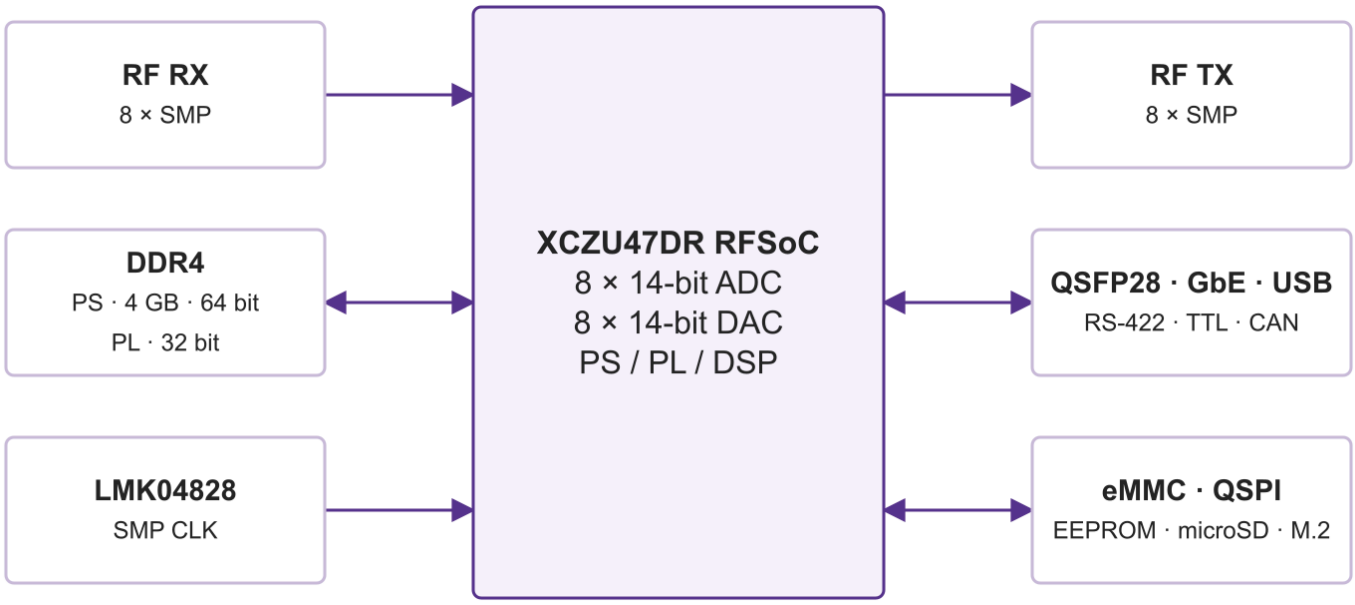
項目	仕様
ADC_224_VIN_0	J18
ADC_224_VIN_1	J14
ADC_225_VIN_0	J10
ADC_225_VIN_1	J7
ADC_226_VIN_0	J16
ADC_226_VIN_1	J12
ADC_227_VIN_0	J9
ADC_227_VIN_1	J5
DAC_228_VOUT_0	J19
DAC_228_VOUT_1	J15
DAC_229_VOUT_0	J11
DAC_229_VOUT_1	J6
DAC_230_VOUT_0	J17
DAC_230_VOUT_1	J13
DAC_231_VOUT_0	J8
DAC_231_VOUT_1	J4
SMP_DAC_CLK_230	J25 IN
SMP_ADC_CLK_225	J26 IN
CLK0_IN	J22 IN
CLK1_IN	J24 IN
OSCOUT / CLK2_IN	J23 I/O
J30 RS-422 0 TX+	2
J30 RS-422 0 TX−	3
J30 RS-422 0 RX+	4
J30 RS-422 0 RX−	5
J30 TTL_TX0	22
J30 TTL_RX0	27
J30 RS-422 1 TX+	7
J30 RS-422 1 TX−	8
J30 RS-422 1 RX+	9
J30 RS-422 1 RX−	10

コネクタ割り当て

項目	仕様
J30 TTL_TX1	23
J30 TTL_RX1	28
J30 RS-422 2 TX+	12
J30 RS-422 2 TX−	13
J30 RS-422 2 RX+	14
J30 RS-422 2 RX−	15
J30 TTL_TX2	24
J30 TTL_RX2	29
J30 RS-422 3 TX+	17
J30 RS-422 3 TX−	18
J30 RS-422 3 RX+	19
J30 RS-422 3 RX−	20
J30 TTL_TX3	25
J30 TTL_RX3	30
J30 GND	1, 6, 11, 16, 21, 26, 31
CON4 GND	1, 4
CAN_H	2
CAN_L	3
JTAG VCC	2
JTAG TMS	4
JTAG TCK	6
JTAG TDO	8
JTAG TDI	10
JTAG GND	1, 3, 5, 7, 9, 11, 13
JTAG NC	12, 14
J30J-9 +12 V	1, 2, 3, 4
J30J-9 GND	6, 7, 8, 9

機能ブロック図

XCZU47DR RFSoCの送受信経路、クロック入力、メモリ、システムインターフェース



文書に関する注意

仕様は製品の更新に伴い改訂される場合があります。設計を確定する前に、現行の文書改訂版と製品固有の要件を LCRF に確認してください。供給構成は承認済みの見積書および注文書類で定義されます。