Scheda ricetrasmittente RFSoC fino a 6 GHz con 8 canali RX e 8 TX

La scheda con XCZU47DR integra otto canali ADC a 14 bit fino a 5 GSPS e otto canali DAC a 14 bit fino a 9,85 GSPS. Offre connettori RF SMP e due interfacce QSFP28 per l'integrazione di sistema.



Conversione RF

Parametro	Specifica
Canali di ricezione	8
Canali di trasmissione	8
Risoluzione ADC	14 bit
Risoluzione DAC	14 bit
Campionamento ADC massimo	5 GSPS
Campionamento DAC massimo	9.85 GSPS
Frequenza RF massima in RX e TX	6000 MHz
Ingressi RF	8 × SMP
Uscite RF	8 × SMP
Conversione digitale verso il basso	1 DDC / ADC
Fattori di interpolazione DAC	2×, 3×, 4×, 5×, 6×, 8×, 10×, 12×, 16×, 20×, 24×, 40×

Elaborazione e memoria

Parametro	Specifica
Dispositivo RFSoC	XCZU47DR-2FFVE1156I
Celle logiche	930k
Blocchi DSP	4272
RAM distribuita	13 Mbit
UltraRAM	22.5 Mbit
DDR4 del PS	4 GB · 64 bit · 3200 MT/s
Bus dati DDR4 del PL	32 bit
Memoria eMMC	64 GB
Flash QSPI di configurazione	2 × 2 Gbit
EEPROM	16 Kbit

Interfacce di sistema

Interfaccia	Specifica
Interfacce ottiche	2 × QSFP28 · 8 GTY
Ethernet	1 × RJ45 GbE
Host USB	1 × USB 2.0 Type-C
Memoria rimovibile e SSD	1 × microSD / TF · 1 × M.2 M-key PCIe
Controllo principale e I/O	J30 (J30JZLN31ZKWA000) · 4 × RS-422 · 4 × TTL IN · 4 × TTL OUT
Espansione riservata	J32 / CON34 · PZ200-2-17-W
Interfaccia CAN	CON4
Debug FPGA	JTAG · 14
OCuLink	OCuLink
Livelli TTL di ingresso e uscita	3.3 / 5.0 V

Ingressi di clock e riferimento

Parametro	Specifica
Distribuzione del clock	LMK04828
Frequenza di clock di riferimento	100 MHz
Livello di clock di riferimento	+10 dBm
Frequenza di clock di campionamento esterna	3200–5000 MHz
Livello del clock di campionamento esterno	0 dBm
Oscillatore di sistema integrato	50 MHz
Connettore di clock esterno	SMP

Alimentazione e meccanica

Parametro	Specifica
Tensione di alimentazione	+12 VDC
Corrente nominale di alimentazione	≤6 A
Ondulazione massima di alimentazione	≤50 mV
Connettore di alimentazione	J30J-9
Dimensioni della scheda	143 × 120 mm
Peso della scheda	190 g

Assegnazione dei connettori

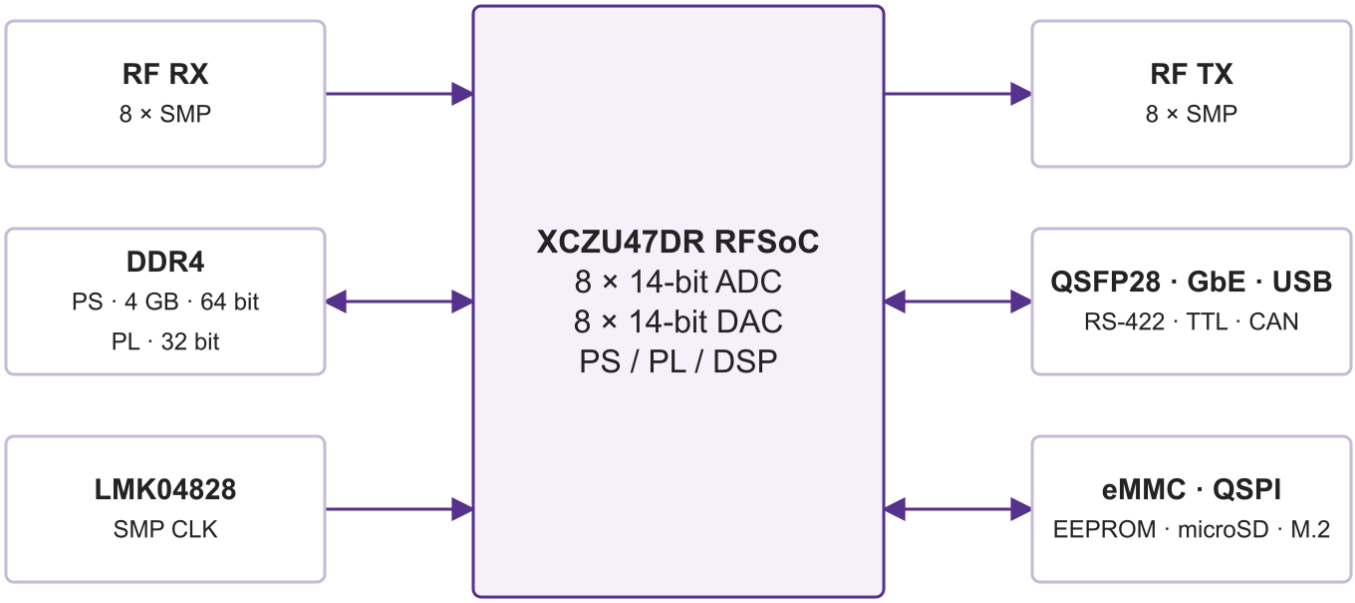
Parametro	Specifica
ADC_224_VIN_0	J18
ADC_224_VIN_1	J14
ADC_225_VIN_0	J10
ADC_225_VIN_1	J7
ADC_226_VIN_0	J16
ADC_226_VIN_1	J12
ADC_227_VIN_0	J9
ADC_227_VIN_1	J5
DAC_228_VOUT_0	J19
DAC_228_VOUT_1	J15
DAC_229_VOUT_0	J11
DAC_229_VOUT_1	J6
DAC_230_VOUT_0	J17
DAC_230_VOUT_1	J13
DAC_231_VOUT_0	J8
DAC_231_VOUT_1	J4
SMP_DAC_CLK_230	J25 IN
SMP_ADC_CLK_225	J26 IN
CLK0_IN	J22 IN
CLK1_IN	J24 IN
OSCOUT / CLK2_IN	J23 I/O
J30 RS-422 0 TX+	2
J30 RS-422 0 TX−	3
J30 RS-422 0 RX+	4
J30 RS-422 0 RX−	5
J30 TTL_TX0	22
J30 TTL_RX0	27
J30 RS-422 1 TX+	7
J30 RS-422 1 TX−	8
J30 RS-422 1 RX+	9
J30 RS-422 1 RX−	10

Assegnazione dei connettori

Parametro	Specifica
J30 TTL_TX1	23
J30 TTL_RX1	28
J30 RS-422 2 TX+	12
J30 RS-422 2 TX−	13
J30 RS-422 2 RX+	14
J30 RS-422 2 RX−	15
J30 TTL_TX2	24
J30 TTL_RX2	29
J30 RS-422 3 TX+	17
J30 RS-422 3 TX−	18
J30 RS-422 3 RX+	19
J30 RS-422 3 RX−	20
J30 TTL_TX3	25
J30 TTL_RX3	30
J30 GND	1, 6, 11, 16, 21, 26, 31
CON4 GND	1, 4
CAN_H	2
CAN_L	3
JTAG VCC	2
JTAG TMS	4
JTAG TCK	6
JTAG TDO	8
JTAG TDI	10
JTAG GND	1, 3, 5, 7, 9, 11, 13
JTAG NC	12, 14
J30J-9 +12 V	1, 2, 3, 4
J30J-9 GND	6, 7, 8, 9

Schema funzionale a blocchi

XCZU47DR RFSoC con percorsi di ricezione e trasmissione, ingressi di clock, memoria e interfacce di sistema



Nota sul documento

Le specifiche possono essere revisionate. Prima di finalizzare il progetto, confermare con LCRF la revisione corrente e i requisiti specifici del prodotto. L'offerta approvata e la documentazione d'ordine definiscono la configurazione fornita.