Carte émettrice-réceptrice RFSoC jusqu'à 6 GHz avec 8 voies RX et 8 voies TX

La carte XCZU47DR réunit huit voies ADC 14 bits jusqu'à 5 GSPS et huit voies DAC 14 bits jusqu'à 9,85 GSPS. Elle dispose de connecteurs RF SMP et de deux interfaces QSFP28 pour l'intégration système.



Conversion RF

Paramètre	Spécification
Voies de réception	8
Voies d'émission	8
Résolution ADC	14 bit
Résolution DAC	14 bit
Cadence ADC maximale	5 GSPS
Cadence DAC maximale	9.85 GSPS
Fréquence RF maximale en RX et TX	6000 MHz
Entrées RF	8 × SMP
Sorties RF	8 × SMP
Transposition numérique descendante	1 DDC / ADC
Facteurs d'interpolation DAC	2×, 3×, 4×, 5×, 6×, 8×, 10×, 12×, 16×, 20×, 24×, 40×

Traitement et mémoire

Paramètre	Spécification
Composant RFSoC	XCZU47DR-2FFVE1156I
Cellules logiques	930k
Blocs DSP	4272
RAM distribuée	13 Mbit
UltraRAM	22.5 Mbit
DDR4 du PS	4 GB · 64 bit · 3200 MT/s
Bus de données DDR4 du PL	32 bit
Stockage eMMC	64 GB
Flash de configuration QSPI	2 × 2 Gbit
EEPROM	16 Kbit

Interfaces système

Interface	Spécification
Interfaces optiques	2 × QSFP28 · 8 GTY
Ethernet	1 × RJ45 GbE
Hôte USB	1 × USB 2.0 Type-C
Stockage amovible et SSD	1 × microSD / TF · 1 × M.2 M-key PCIe
Commande principale et E/S	J30 (J30JZLN31ZKWA000) · 4 × RS-422 · 4 × TTL IN · 4 × TTL OUT
Extension réservée	J32 / CON34 · PZ200-2-17-W
Interface CAN	CON4
Débogage FPGA	JTAG · 14
OCuLink	OCuLink
Niveaux TTL en entrée et en sortie	3.3 / 5.0 V

Entrées d’horloge et référence

Paramètre	Spécification
Distribution d’horloge	LMK04828
Fréquence de l’horloge de référence	100 MHz
Niveau de l’horloge de référence	+10 dBm
Fréquence de l’horloge d’échantillonnage externe	3200–5000 MHz
Niveau de l’horloge d’échantillonnage externe	0 dBm
Oscillateur système embarqué	50 MHz
Connecteur d’horloge externe	SMP

Alimentation et mécanique

Paramètre	Spécification
Tension d’alimentation	+12 VDC
Courant d’alimentation nominal	≤6 A
Ondulation d’alimentation maximale	≤50 mV
Connecteur d’alimentation	J30J-9
Dimensions de la carte	143 × 120 mm
Masse de la carte	190 g

Affectation des connecteurs

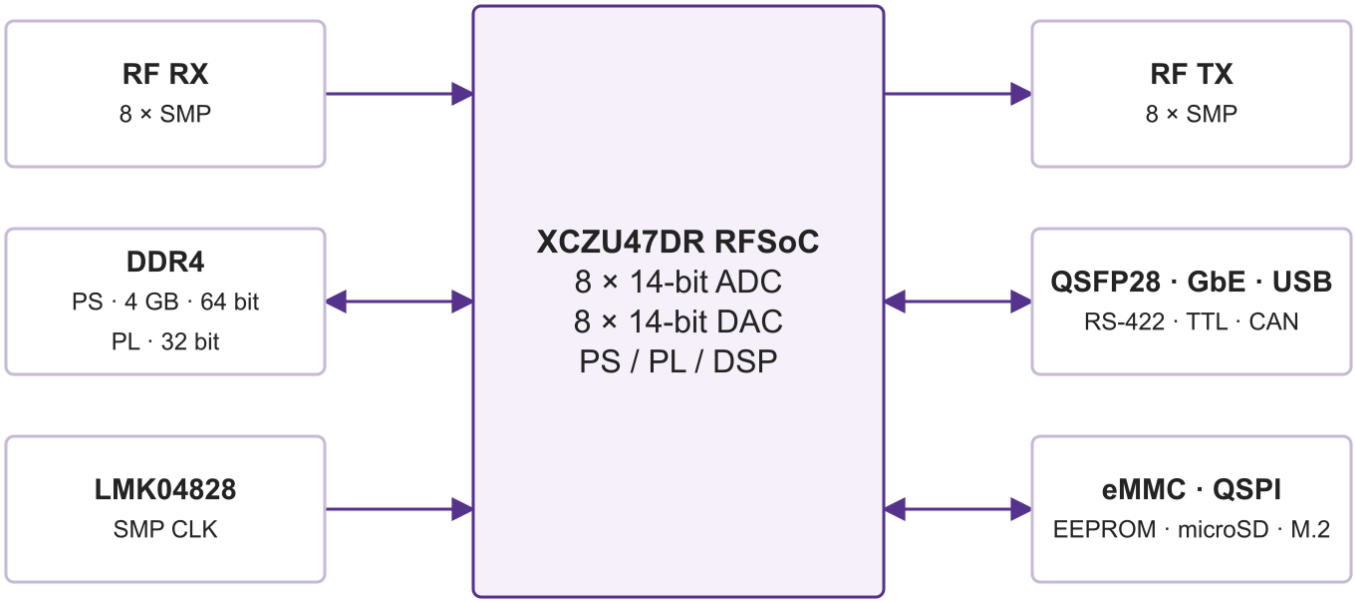
Paramètre	Spécification
ADC_224_VIN_0	J18
ADC_224_VIN_1	J14
ADC_225_VIN_0	J10
ADC_225_VIN_1	J7
ADC_226_VIN_0	J16
ADC_226_VIN_1	J12
ADC_227_VIN_0	J9
ADC_227_VIN_1	J5
DAC_228_VOUT_0	J19
DAC_228_VOUT_1	J15
DAC_229_VOUT_0	J11
DAC_229_VOUT_1	J6
DAC_230_VOUT_0	J17
DAC_230_VOUT_1	J13
DAC_231_VOUT_0	J8
DAC_231_VOUT_1	J4
SMP_DAC_CLK_230	J25 IN
SMP_ADC_CLK_225	J26 IN
CLK0_IN	J22 IN
CLK1_IN	J24 IN
OSCOUT / CLK2_IN	J23 I/O
J30 RS-422 0 TX+	2
J30 RS-422 0 TX−	3
J30 RS-422 0 RX+	4
J30 RS-422 0 RX−	5
J30 TTL_TX0	22
J30 TTL_RX0	27
J30 RS-422 1 TX+	7
J30 RS-422 1 TX−	8
J30 RS-422 1 RX+	9
J30 RS-422 1 RX−	10

Affectation des connecteurs

Paramètre	Spécification
J30 TTL_TX1	23
J30 TTL_RX1	28
J30 RS-422 2 TX+	12
J30 RS-422 2 TX−	13
J30 RS-422 2 RX+	14
J30 RS-422 2 RX−	15
J30 TTL_TX2	24
J30 TTL_RX2	29
J30 RS-422 3 TX+	17
J30 RS-422 3 TX−	18
J30 RS-422 3 RX+	19
J30 RS-422 3 RX−	20
J30 TTL_TX3	25
J30 TTL_RX3	30
J30 GND	1, 6, 11, 16, 21, 26, 31
CON4 GND	1, 4
CAN_H	2
CAN_L	3
JTAG VCC	2
JTAG TMS	4
JTAG TCK	6
JTAG TDO	8
JTAG TDI	10
JTAG GND	1, 3, 5, 7, 9, 11, 13
JTAG NC	12, 14
J30J-9 +12 V	1, 2, 3, 4
J30J-9 GND	6, 7, 8, 9

Schéma fonctionnel

XCZU47DR RFSoC avec voies de réception et d’émission, entrées d’horloge, mémoire et interfaces système



Avis relatif au document

Les spécifications peuvent être révisées. Avant de figer la conception, confirmez auprès de LCRF la révision en vigueur et les exigences propres au produit. L’offre approuvée et les documents de commande définissent la configuration fournie.