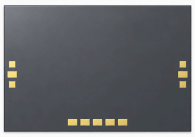
# 8000–12000 MHz Die de retardo temporal digital GaAs MMIC de 3 bits

LCI-TTD-8000-12000-3B es un die de retardo temporal digital GaAs pHEMT de 3 bits para 8000–12000 MHz, con rutas de retardo y controlador TTL paralelo integrados.



Retardo temporal: 25 ps (típico) (T1; t_nom = 25 ps); Retardo temporal: 102 ps (típico) (T3; t_nom = 100 ps); Pérdida de inserción: 6 dB (típico) / 7 dB (máximo). Dimensiones del die: 3 × 2 × 0.1 mm.

## Características RF

TA = +25 °C; VEE = -5 V

| Parámetro | Símbolo | Mínimo | Típico | Máximo | Valor | Unidad |
|---|---|---|---|---|---|---|
| Frecuencia de funcionamiento | - | 8000 | - | 12000 | - | MHz |
| Pérdida de inserción | - | - | 6 | 7 | - | dB |
| Retardo temporal (T1) | - | - | 25 | - | T1; t_nom = 25 ps | ps |
| Retardo temporal (T2) | - | - | 49.5 | - | T2; t_nom = 50 ps | ps |
| Retardo temporal | - | - | 102 | - | T3; t_nom = 100 ps | ps |
| Variación de amplitud inducida por el retardo | - | - | ±0.5 | - | - | dB |
| VSWR de entrada | - | - | 1.3 | - | - | - |
| VSWR de salida | - | - | 1.3 | - | - | - |

## Polarización DC y corrientes

TA = +25 °C

| Parámetro | Símbolo | Mínimo | Típico | Máximo | Unidad |
|---|---|---|---|---|---|
| Tensión de alimentación negativa | - | -5.3 | -5 | -4.7 | V |
| Corriente de reposo de alimentación negativa | - | - | 0.003 | - | A |
| Corriente de control de entrada [1] | - | - | 0.2 | - | mA |
| Tensión de entrada de nivel alto | - | 3 | - | 5 | V |
| Tensión de entrada de nivel bajo | - | 0 | - | 0.4 | V |

[1] VIH = +5 V; TTL

## Valores límite

| Parámetro | Símbolo | Mínimo | Típico | Máximo | Unidad |
|---|---|---|---|---|---|
| Tensión mínima de alimentación negativa | - | -6 | - | - | V |
| Corriente de control de entrada | - | - | - | 0.3 | mA |
| Potencia de entrada máxima | - | - | - | 25 | dBm |

## Condiciones ambientales

| Parámetro | Símbolo | Mínimo | Típico | Máximo | Unidad |
|---|---|---|---|---|---|
| Temperatura de almacenamiento | - | -65 | - | 150 | °C |
| Temperatura de funcionamiento | - | -55 | - | 85 | °C |

## Asignación de pads de unión

| Terminales | Símbolo | Función | Notas |
|---|---|---|---|
| 1, 3, 4, 6 | GND | Masa; no requiere hilo de unión | - |
| 2 | RF1 | Puerto RF | 1 |
| 5 | RF2 | Puerto RF | 2 |
| 7, 11 | VEE | Polarización DC | −5 V |
| 8 | T1 | Control de retardo | 0.25λ; TTL |
| 9 | T2 | Control de retardo | 0.5λ; TTL |
| 10 | T3 | Control de retardo | λ; TTL |

## Tabla de estados de control

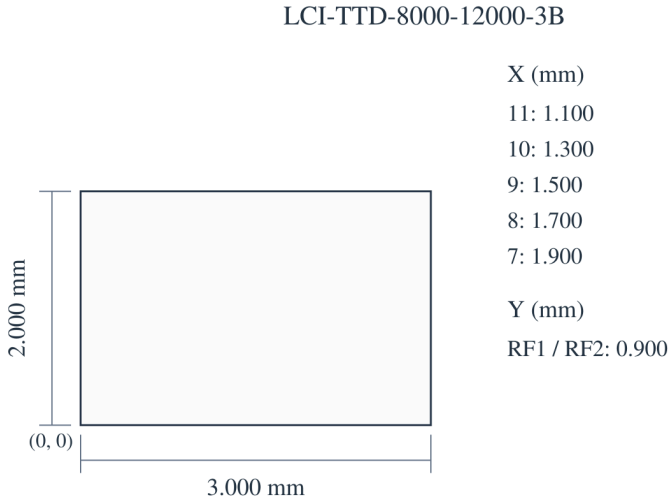
0 = 0 V; 1 = +5 V

| Estado | T1 | T2 | T3 |
|---|---|---|---|
| Estado de referencia | 0 | 0 | 0 |
| 0.25λ (25 ps) | 1 | 0 | 0 |
| 0.5λ (50 ps) | 0 | 1 | 0 |
| λ (100 ps) | 0 | 0 | 1 |

## Dimensiones del chip

| Parámetro | Valor | Unidad |
|---|---|---|
| Dimensiones del chip | 3 × 2 × 0.1 | mm |

Plano de referencia con algunas dimensiones en mm. Utilice los planos completos para la fabricación y la unión por hilos.




3.000 × 2.000 × 0.100 mm
X, Y: ±0.050 mm
X → · Y ↑ · X, Y: mm

**Registro de la publicación actual** · 1.6 · 2026-11-12. Actualización de la descripción o del contenido editorial. Sustituye a la revisión 1.5.

## Integración del chip y secuencia de polarización

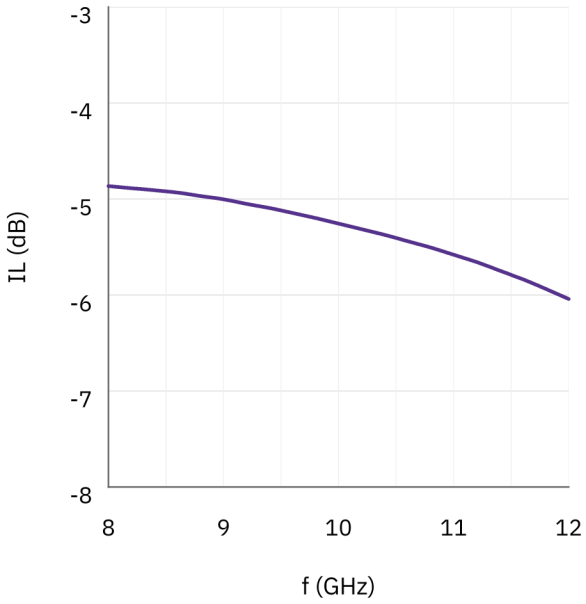
Interfaz de control: Control TTL paralelo.

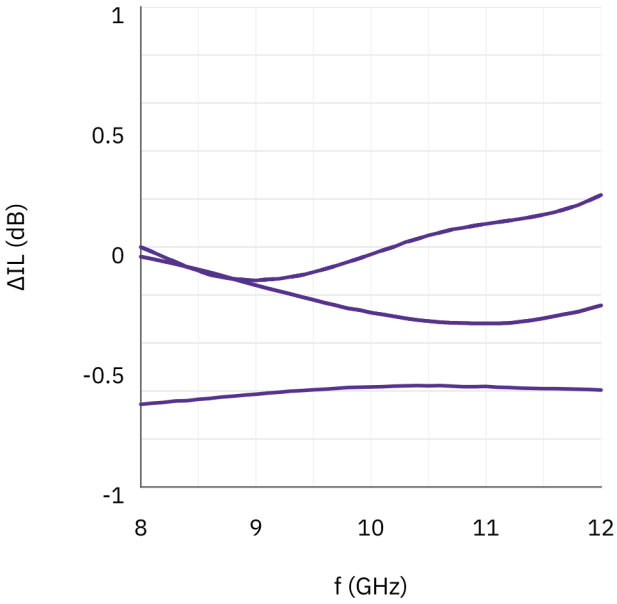
## Curvas de rendimiento

Consultar cada figura junto con las condiciones de funcionamiento indicadas.

**Pérdida de inserción; Variación de amplitud inducida por el retardo.**

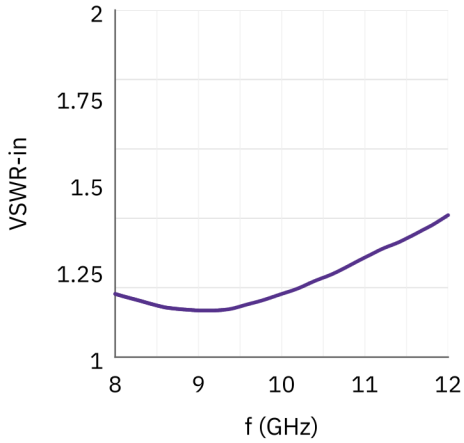
Las lecturas son aproximadas.

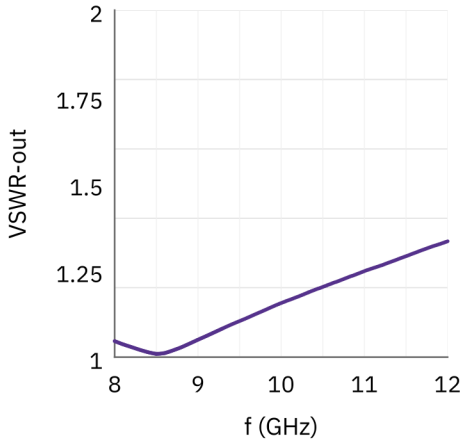


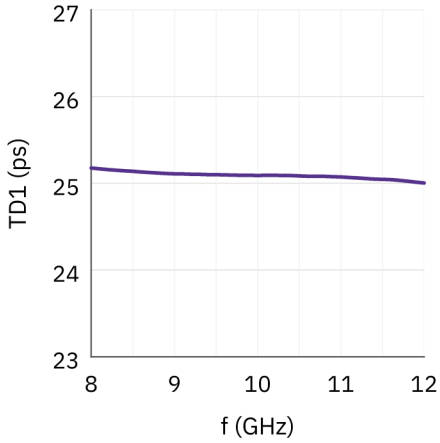



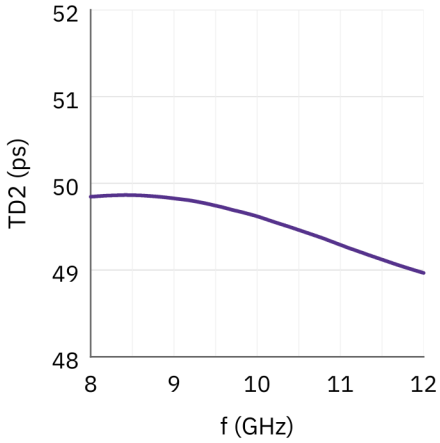
### Adaptación de entrada; Adaptación de salida; TD.

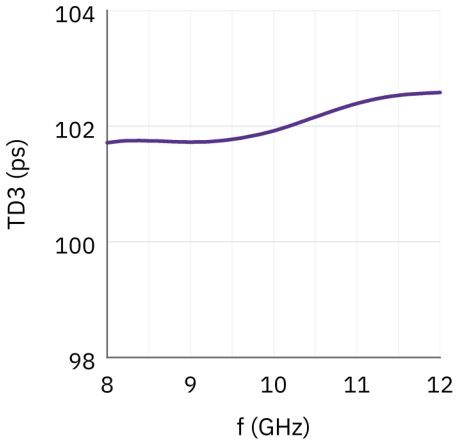
Las lecturas son aproximadas. Valores nominales de los bits de retardo: TD1 = 25 ps; TD2 = 50 ps; TD3 = 100 ps.




**Aviso del documento**

Las especificaciones pueden revisarse. Antes de cerrar el diseño, confirme con LCRF la revisión vigente y los requisitos específicos del producto. La oferta aprobada y la documentación del pedido definen la configuración suministrada.