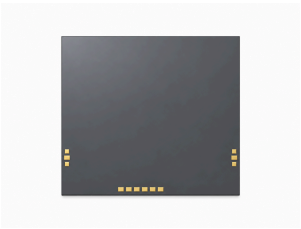
5000–6000 MHz Die de retardo temporal digital GaAs MMIC de 4 bits

LCI-TTD-5000-6000-4B es un die de retardo temporal digital GaAs pHEMT de 4 bits para 5000–6000 MHz, con rutas de retardo y controlador TTL paralelo integrados.



Retardo temporal: 92.5 ps (típico) (T1; t_nom = 92.59 ps); Retardo temporal: 737 ps (típico) (T4; t_nom = 740.74 ps); Pérdida de inserción: 12 dB (típico) / 13 dB (máximo). Dimensiones del die: 4.5 × 4 × 0.1 mm.

Características RF

TA = +25 °C; VEE = -5 V

Parámetro	Símbolo	Mínimo	Típico	Máximo	Valor	Unidad
Frecuencia de funcionamiento	-	5000	-	6000	-	MHz
Pérdida de inserción	-	-	12	13	-	dB
Retardo temporal (T1)	-	-	92.5	-	T1; t_nom = 92.59 ps	ps
Retardo temporal (T2)	-	-	184	-	T2; t_nom = 185.185 ps	ps
Retardo temporal	-	-	369	-	T3; t_nom = 370.37 ps	ps
Retardo temporal	-	-	737	-	T4; t_nom = 740.74 ps	ps
Variación de amplitud inducida por el retardo	-	-	±0.5	-	-	dB
VSWR de entrada	-	-	1.1	-	-	-
VSWR de salida	-	-	1.2	-	-	-

Polarización DC y corrientes

TA = +25 °C

Parámetro	Símbolo	Mínimo	Típico	Máximo	Unidad
Tensión de alimentación negativa	-	-5.3	-5	-4.7	V
Corriente de reposo de alimentación negativa	-	-	0.003	-	A
Corriente de control de entrada [1]	-	-	0.2	-	mA
Tensión de entrada de nivel alto	-	3	-	5	V
Tensión de entrada de nivel bajo	-	0	-	0.4	V

[1] VIH = +5 V; TTL

Valores límite

Parámetro	Símbolo	Mínimo	Típico	Máximo	Unidad
Tensión mínima de alimentación negativa	-	-6	-	-	V
Corriente de control de entrada	-	-	-	0.3	mA
Potencia de entrada máxima	-	-	-	25	dBm

Condiciones ambientales

Parámetro	Símbolo	Mínimo	Típico	Máximo	Unidad
Temperatura de almacenamiento	-	-65	-	150	°C
Temperatura de funcionamiento	-	-55	-	85	°C

Asignación de pads de unión

Terminales	Símbolo	Función	Notas
1, 3, 4, 6	GND	Masa; no requiere hilo de unión	-
2	RF1	Puerto RF	1
5	RF2	Puerto RF	2
7, 12	VEE	Polarización DC	−5 V
8	T1	Control de retardo	0.5λ; TTL
9	T2	Control de retardo	λ; TTL
10	T3	Control de retardo	2λ; TTL
11	T4	Control de retardo	4λ; TTL

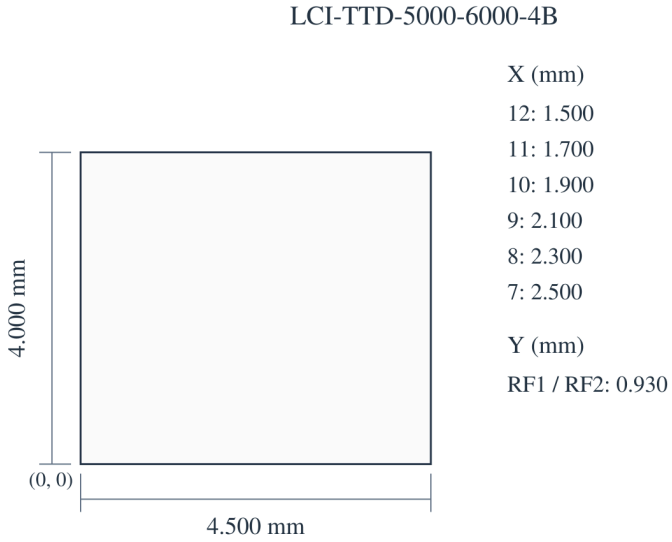
Tabla de estados de control 0 = 0 V; 1 = +5 V

Estado	T1	T2	T3	T4
Estado de referencia	0	0	0	0
0.5λ (92.59 ps)	1	0	0	0
λ (185.185 ps)	0	1	0	0
2λ (370.37 ps)	0	0	1	0
4λ (740.74 ps)	0	0	0	1

Dimensiones del chip

Parámetro	Valor	Unidad
Dimensiones del chip	4.5 × 4 × 0.1	mm

Plano de referencia con algunas dimensiones en mm. Utilice los planos completos para la fabricación y la unión por hilos.



4.500 × 4.000 × 0.100 mm
X, Y: ±0.050 mm
X → · Y ↑ · X, Y: mm

Registro de la publicación actual · 1.6 · 2026-11-12. Actualización de la descripción o del contenido editorial. Sustituye a la revisión 1.5.

Integración del chip y secuencia de polarización

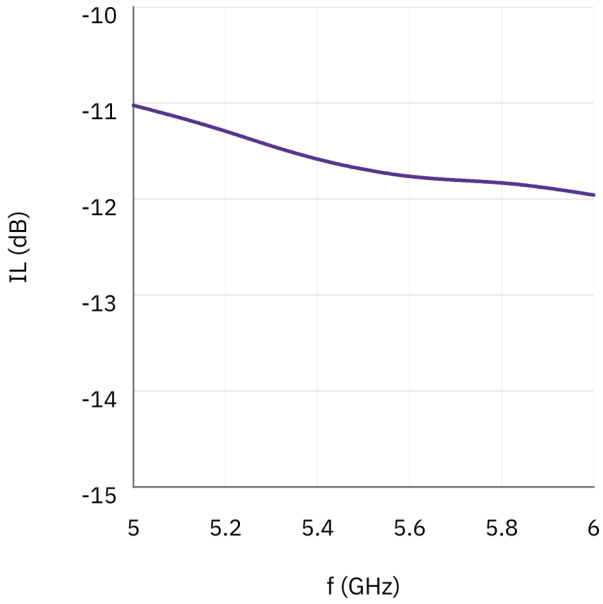
Interfaz de control: Control TTL paralelo.

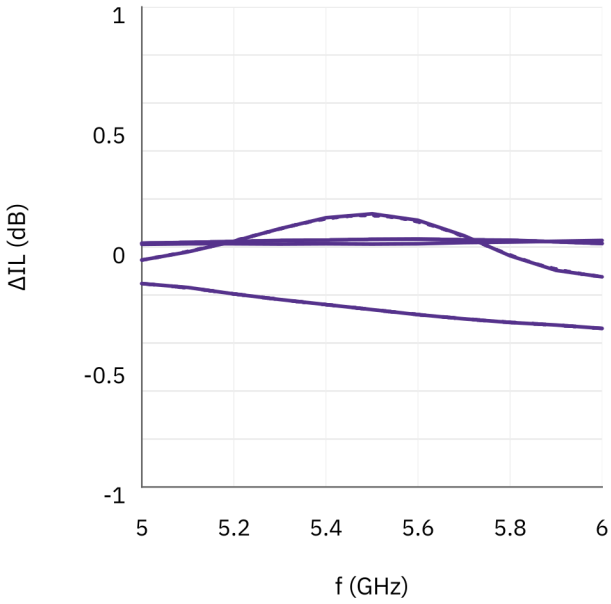
Curvas de rendimiento

Consultar cada figura junto con las condiciones de funcionamiento indicadas.

Pérdida de inserción; Variación de amplitud inducida por el retardo.

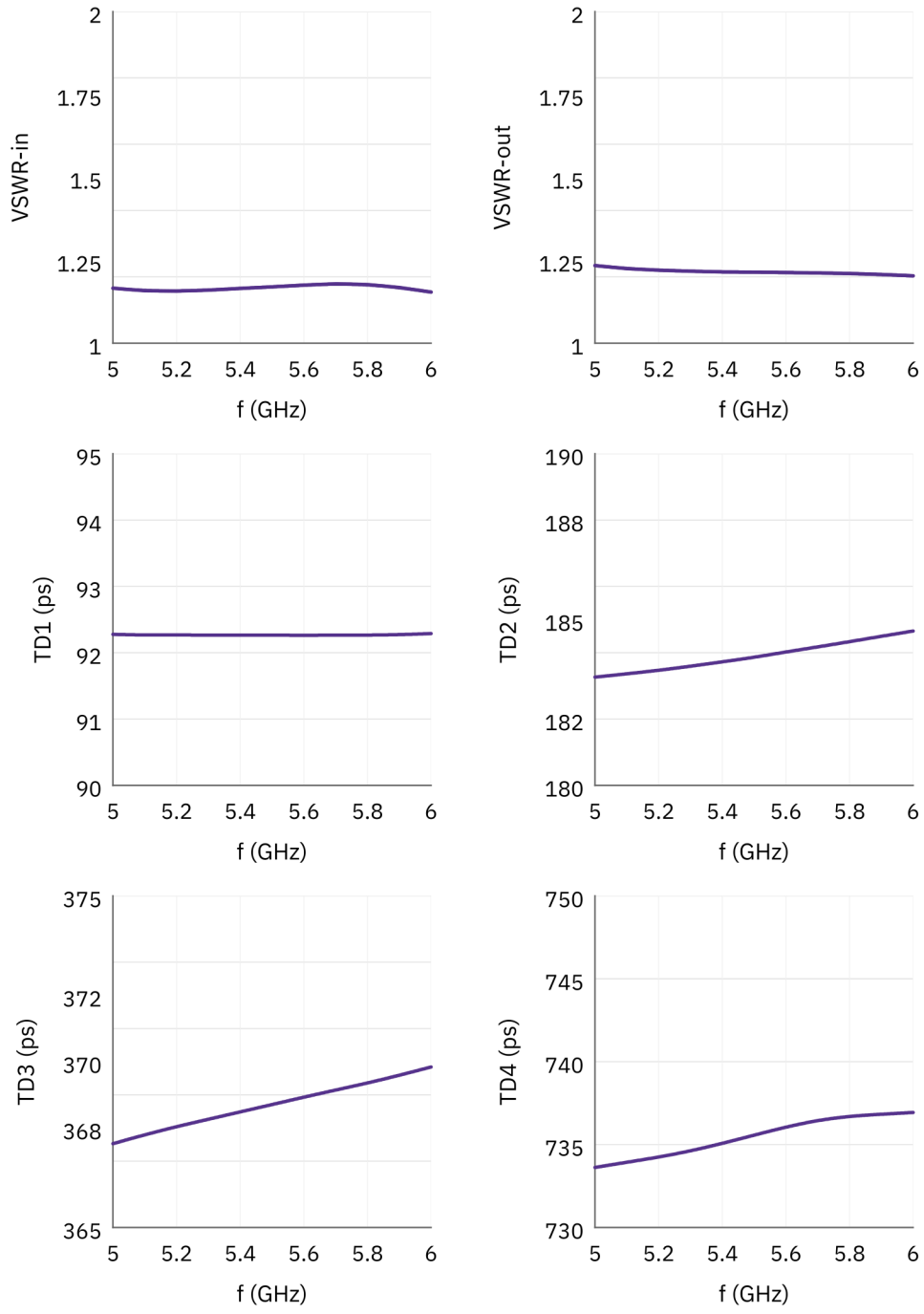
Las lecturas son aproximadas.





Adaptación de entrada; Adaptación de salida; TD.

Las lecturas son aproximadas. Valores nominales de los bits de retardo: TD1 = 92.59 ps; TD2 = 185.185 ps; TD3 = 370.37 ps; TD4 = 740.74 ps.



Aviso del documento

Las especificaciones pueden revisarse. Antes de cerrar el diseño, confirme con LCRF la revisión vigente y los requisitos específicos del producto. La oferta aprobada y la documentación del pedido definen la configuración suministrada.