RFSoC-Transceiverplatine bis 6 GHz mit 8 RX- und 8 TX-Kanälen

Die Platine mit XCZU47DR bietet acht 14-Bit-ADC-Kanäle bis 5 GSPS und acht 14-Bit-DAC-Kanäle bis 9,85 GSPS. SMP-Anschlüsse führen die RF-Signale, zwei QSFP28-Schnittstellen dienen der Systemanbindung.



RF-Wandlung

Parameter	Spezifikation
Empfangskanäle	8
Sendekanäle	8
ADC-Auflösung	14 bit
DAC-Auflösung	14 bit
Maximale ADC-Abtastrate	5 GSPS
Maximale DAC-Abtastrate	9.85 GSPS
Maximale RF-Frequenz, RX und TX	6000 MHz
RF-Eingänge	8 × SMP
RF-Ausgänge	8 × SMP
Digitale Abwärtsmischung	1 DDC / ADC
DAC-Interpolationsfaktoren	2×, 3×, 4×, 5×, 6×, 8×, 10×, 12×, 16×, 20×, 24×, 40×

Verarbeitung und Speicher

Parameter	Spezifikation
RFSoC-Baustein	XCZU47DR-2FFVE1156I
Logikzellen	930k
DSP-Slices	4272
Verteilter RAM	13 Mbit
UltraRAM	22.5 Mbit
PS-DDR4	4 GB · 64 bit · 3200 MT/s
PL-DDR4-Datenbus	32 bit
eMMC-Speicher	64 GB
QSPI-Konfigurationsflash	2 × 2 Gbit
EEPROM	16 Kbit

Systemschnittstellen

Schnittstelle	Spezifikation
Optische Schnittstellen	2 × QSFP28 · 8 GTY
Ethernet	1 × RJ45 GbE
USB-Host	1 × USB 2.0 Type-C
Wechselspeicher und SSD	1 × microSD / TF · 1 × M.2 M-key PCIe
Hauptsteuerung und E/A	J30 (J30JZLN31ZKWA000) · 4 × RS-422 · 4 × TTL IN · 4 × TTL OUT
Reservierte Erweiterung	J32 / CON34 · PZ200-2-17-W
CAN-Schnittstelle	CON4
FPGA-Debug	JTAG · 14
OCuLink	OCuLink
TTL-Ein- und Ausgangspegel	3.3 / 5.0 V

Takteingänge und Referenz

Parameter	Spezifikation
Taktverteiler	LMK04828
Referenztaktfrequenz	100 MHz
Referenztaktpegel	+10 dBm
Externe Abtasttaktfrequenz	3200–5000 MHz
Externer Abtasttaktpegel	0 dBm
Systemoszillator auf der Platine	50 MHz
Externer Taktanschluss	SMP

Versorgung und Mechanik

Parameter	Spezifikation
Versorgungsspannung	+12 VDC
Nennversorgungsstrom	≤6 A
Maximale Restwelligkeit	≤50 mV
Stromversorgungsanschluss	J30J-9
Platinenabmessungen	143 × 120 mm
Platinengewicht	190 g

Steckerbelegung

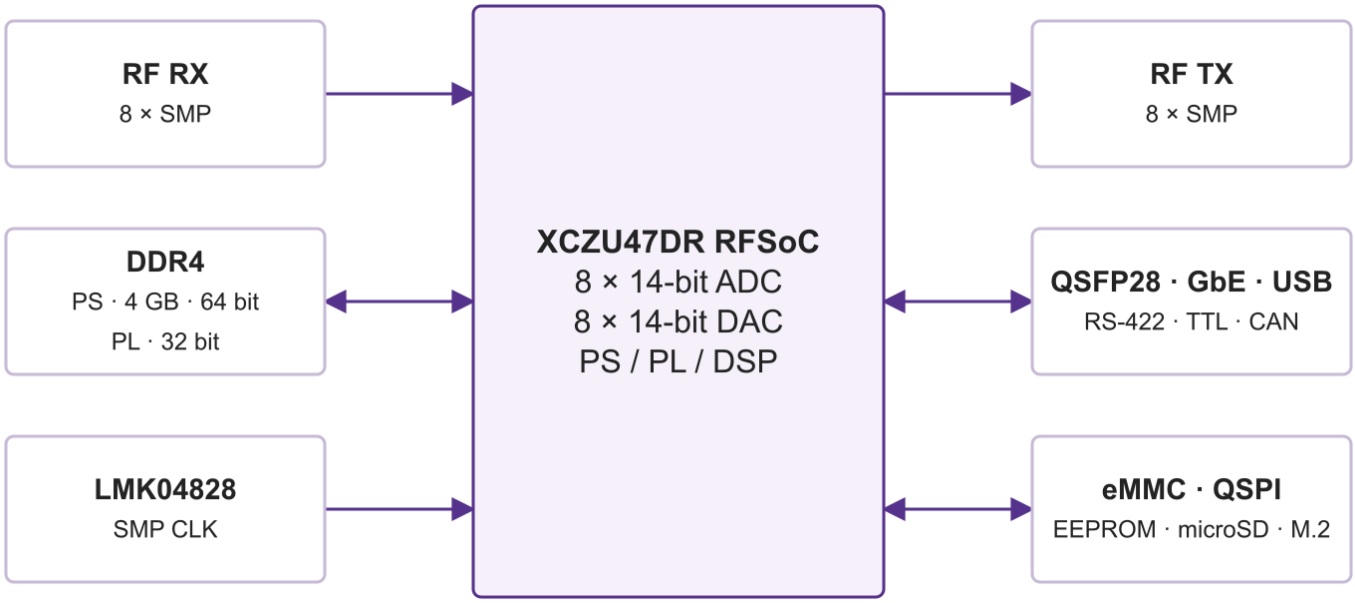
Parameter	Spezifikation
ADC_224_VIN_0	J18
ADC_224_VIN_1	J14
ADC_225_VIN_0	J10
ADC_225_VIN_1	J7
ADC_226_VIN_0	J16
ADC_226_VIN_1	J12
ADC_227_VIN_0	J9
ADC_227_VIN_1	J5
DAC_228_VOUT_0	J19
DAC_228_VOUT_1	J15
DAC_229_VOUT_0	J11
DAC_229_VOUT_1	J6
DAC_230_VOUT_0	J17
DAC_230_VOUT_1	J13
DAC_231_VOUT_0	J8
DAC_231_VOUT_1	J4
SMP_DAC_CLK_230	J25 IN
SMP_ADC_CLK_225	J26 IN
CLK0_IN	J22 IN
CLK1_IN	J24 IN
OSCOUT / CLK2_IN	J23 I/O
J30 RS-422 0 TX+	2
J30 RS-422 0 TX−	3
J30 RS-422 0 RX+	4
J30 RS-422 0 RX−	5
J30 TTL_TX0	22
J30 TTL_RX0	27
J30 RS-422 1 TX+	7
J30 RS-422 1 TX−	8
J30 RS-422 1 RX+	9
J30 RS-422 1 RX−	10

Steckerbelegung

Parameter	Spezifikation
J30 TTL_TX1	23
J30 TTL_RX1	28
J30 RS-422 2 TX+	12
J30 RS-422 2 TX–	13
J30 RS-422 2 RX+	14
J30 RS-422 2 RX–	15
J30 TTL_TX2	24
J30 TTL_RX2	29
J30 RS-422 3 TX+	17
J30 RS-422 3 TX–	18
J30 RS-422 3 RX+	19
J30 RS-422 3 RX–	20
J30 TTL_TX3	25
J30 TTL_RX3	30
J30 GND	1, 6, 11, 16, 21, 26, 31
CON4 GND	1, 4
CAN_H	2
CAN_L	3
JTAG VCC	2
JTAG TMS	4
JTAG TCK	6
JTAG TDO	8
JTAG TDI	10
JTAG GND	1, 3, 5, 7, 9, 11, 13
JTAG NC	12, 14
J30J-9 +12 V	1, 2, 3, 4
J30J-9 GND	6, 7, 8, 9

Funktionsblockschaltbild

XCZU47DR RFSoC mit Empfangs- und Sendepfaden, Takteingängen, Speicher und Systemschnittstellen



Dokumenthinweis

Spezifikationen können revidiert werden. Prüfen Sie vor der Designfreigabe mit LCRF den aktuellen Dokumentstand und die produktspezifischen Anforderungen. Das freigegebene Angebot und die Auftragsunterlagen definieren die gelieferte Konfiguration.