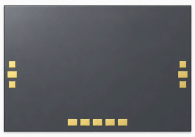
8000–12000 MHz 3-Bit-GaAs-MMIC-Zeitverzögerung als Bare Die

LCI-TTD-8000-12000-3B ist eine 3-Bit-GaAs-pHEMT-Zeitverzögerung als Bare Die für 8000–12000 MHz mit integrierten Verzögerungspfaden und parallelem TTL-Steuertreiber.



Zeitverzögerung: 25 ps (typisch) (T1; t_nom = 25 ps); Zeitverzögerung: 102 ps (typisch) (T3; t_nom = 100 ps); Einfügedämpfung: 6 dB (typisch) / 7 dB (Maximum). Chipabmessungen: 3 × 2 × 0.1 mm.

RF-Kennwerte

TA = +25 °C; VEE = -5 V

Parameter	Symbol	Minimum	Typisch	Maximum	Wert	Einheit
Betriebsfrequenz	-	8000	-	12000	-	MHz
Einfügedämpfung	-	-	6	7	-	dB
Zeitverzögerung (T1)	-	-	25	-	T1; t_nom = 25 ps	ps
Zeitverzögerung (T2)	-	-	49.5	-	T2; t_nom = 50 ps	ps
Zeitverzögerung	-	-	102	-	T3; t_nom = 100 ps	ps
Verzögerungsbedingte Amplitudenänderung	-	-	±0.5	-	-	dB
Eingangs-VSWR	-	-	1.3	-	-	-
Ausgangs-VSWR	-	-	1.3	-	-	-

DC-Bias und Strom

TA = +25 °C

Parameter	Symbol	Minimum	Typisch	Maximum	Einheit
Negative Versorgungsspannung	-	-5.3	-5	-4.7	V
Ruhestrom der negativen Versorgung	-	-	0.003	-	A
Eingangssteuerstrom [1]	-	-	0.2	-	mA
High-Eingangsspannung	-	3	-	5	V
Low-Eingangsspannung	-	0	-	0.4	V

[1] VIH = +5 V; TTL

Grenzwerte

Parameter	Symbol	Minimum	Typisch	Maximum	Einheit
Minimale negative Versorgungsspannung	-	-6	-	-	V
Eingangssteuerstrom	-	-	-	0.3	mA
Maximale Eingangsleistung	-	-	-	25	dBm

Umgebungsbedingungen

Parameter	Symbol	Minimum	Typisch	Maximum	Einheit
Lagertemperatur	-	-65	-	150	°C
Betriebstemperatur	-	-55	-	85	°C

Bondpad-Belegung

Anschlüsse	Symbol	Funktion	Hinweise
1, 3, 4, 6	GND	Masse; kein Bonddraht erforderlich	-
2	RF1	RF-Anschluss	1
5	RF2	RF-Anschluss	2
7, 11	VEE	DC-Vorspannung	–5 V
8	T1	Verzögerungssteuerung	0.25λ; TTL
9	T2	Verzögerungssteuerung	0.5λ; TTL
10	T3	Verzögerungssteuerung	λ; TTL

Steuerungstabelle

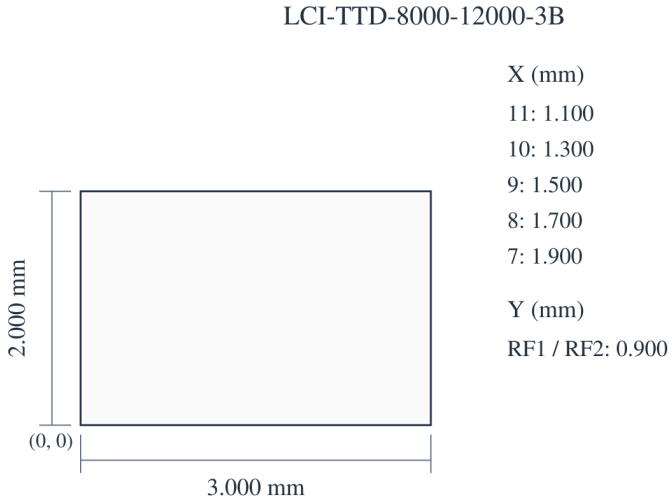
0 = 0 V; 1 = +5 V

Zustand	T1	T2	T3
Referenzzustand	0	0	0
0.25λ (25 ps)	1	0	0
0.5λ (50 ps)	0	1	0
λ (100 ps)	0	0	1

Chipabmessungen

Parameter	Wert	Einheit
Chipabmessungen	3 × 2 × 0.1	mm

Maßskizze mit ausgewählten Abmessungen in mm. Für Fertigung und Drahtbonden sind vollständige Zeichnungen erforderlich.



3.000 × 2.000 × 0.100 mm
X, Y: ±0.050 mm
X → · Y ↑ · X, Y: mm

Aktueller Publikationsstand · 1.6 · 2026-11-12. Produktbeschreibung oder redaktionelle Inhalte wurden aktualisiert. Ersetzt Revision 1.5.

Chipintegration und Bias-Reihenfolge

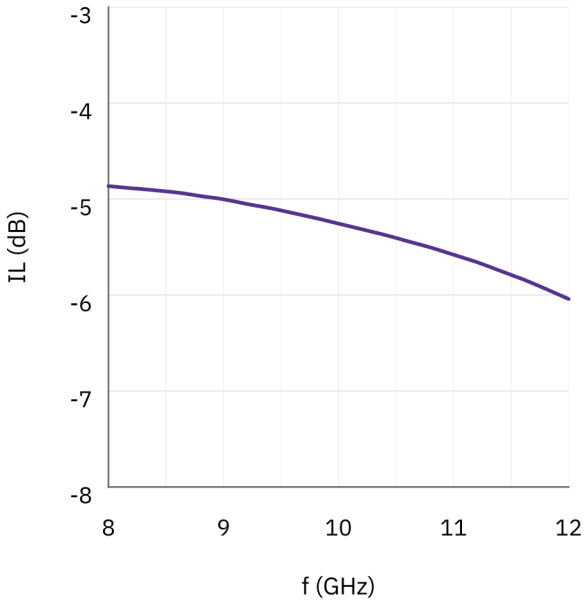
Steuerschnittstelle: Parallele TTL-Steuerung.

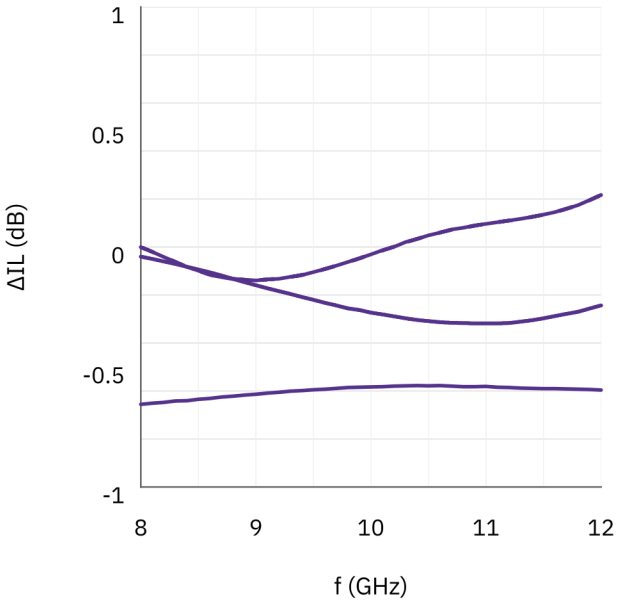
Kennlinien

Beachten Sie die bei jeder Abbildung angegebenen Betriebsbedingungen.

Einfügedämpfung; Verzögerungsbedingte Amplitudenänderung.

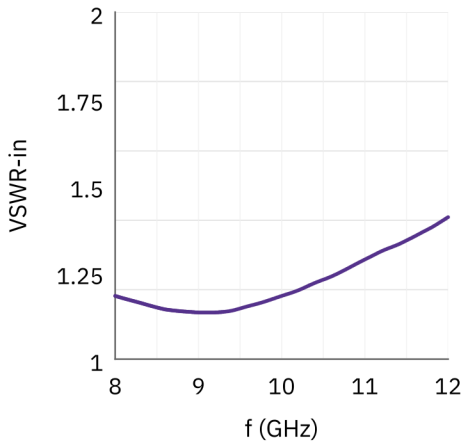
Die ablesbaren Werte sind Näherungswerte.

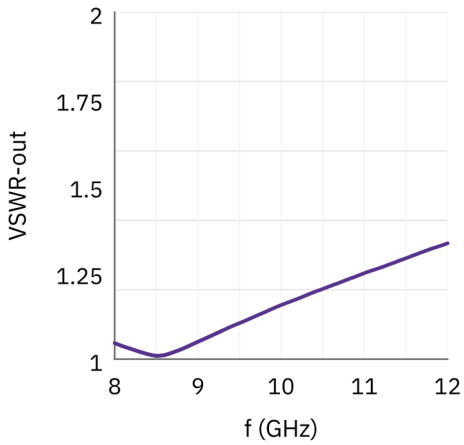


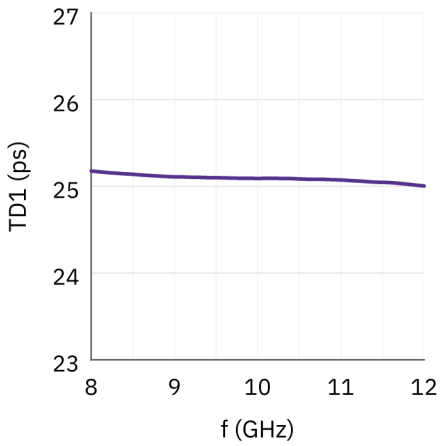


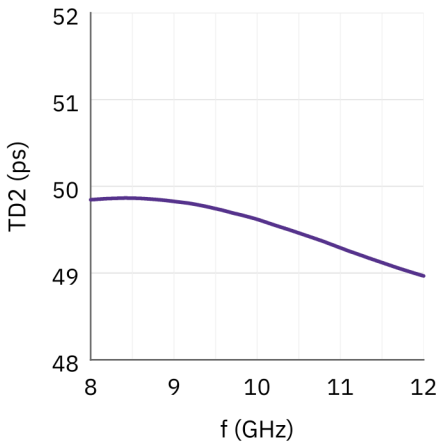
Eingangsanpassung; Ausgangsanpassung; TD.

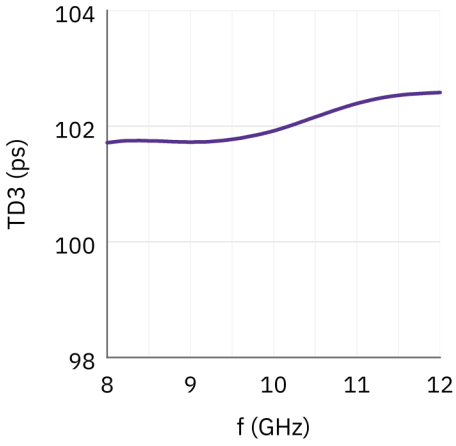
Die ablesbaren Werte sind Näherungswerte. Nennwerte der Verzögerungsbits: TD1 = 25 ps; TD2 = 50 ps; TD3 = 100 ps.











Dokumenthinweis

Spezifikationen können revidiert werden. Prüfen Sie vor der Designfreigabe mit LCRF den aktuellen Dokumentstand und die produktspezifischen Anforderungen. Das freigegebene Angebot und die Auftragsunterlagen definieren die gelieferte Konfiguration.